

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305131

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

H01L 21/027
 G03F 7/20
 G03F 9/00
 H01L 21/8238
 H01L 27/092

(21)Application number : 2001-106645

(71)Applicant : HITACHI LTD

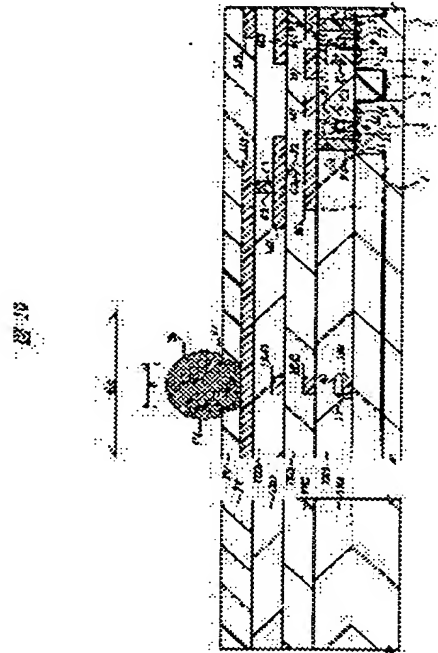
(22)Date of filing : 05.04.2001

(72)Inventor : OOHAGI HIDEKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURING METHOD THEREFOR**(57)Abstract:**

PROBLEM TO BE SOLVED: To increase the chip region in a semiconductor wafer so as to take as many semiconductor chips as possible.

SOLUTION: Alignment marks M9 and MM1 and the like are formed in the area GA, which is located in the chip region and at the periphery of the chip region. On an upper interlayer dielectric TH1 on the alignment marks M9, a resist film to which the pattern on a photomask has been transferred by aligning the pattern of the alignment marks M9 with the patterns on the photomask being formed, and contact holes C1 are formed. As a result, there is no need for the alignment marks M9 and MM1 and the like to be formed in the scribe region, and thus the chip region can be ensured of enlargement.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-305131
(P2002-305131A)

(43)公開日 平成14年10月18日(2002. 10. 18)

(51)Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 21/027		G 0 3 F 7/20	5 2 1 5 F 0 4 6
G 0 3 F 7/20	5 2 1	9/00	H 5 F 0 4 8
9/00		H 0 1 L 21/30	5 0 2 M
H 0 1 L 21/8238		27/08	3 2 1 F
27/092			

審査請求 未請求 請求項の数5 O L (全 11 頁)

(21)出願番号 特願2001-106645(P2001-106645)

(22)出願日 平成13年4月5日(2001.4.5)

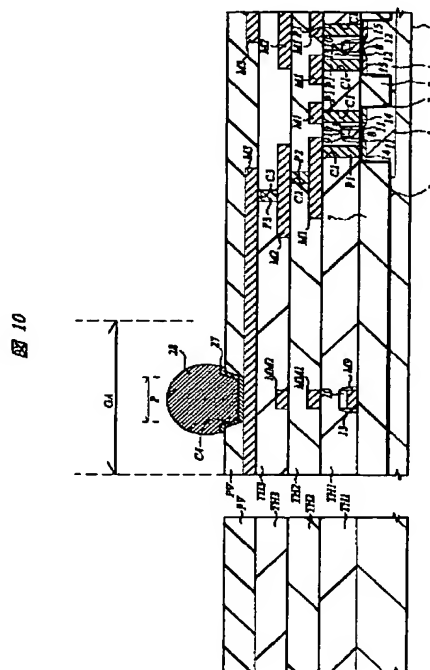
(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 大萩 秀樹
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
(74)代理人 100080001
弁理士 筒井 大和
Fターム(参考) 5F046 EA13 EA18 EB01 EB05 ED01
5F048 AC03 BA01 BB06 BB09 BC06
BE03 BF07 BG01 BG13 DA27

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 半導体ウエハ内のチップ領域を増加させ、できるだけ多くの半導体チップを採取する。

【解決手段】 チップ領域内であって、このチップ領域の外周部GAにアライメントマークM9、MM1等を形成し、例えば、このアライメントマークM9上部の層間絶縁膜TH1上に、アライメントマークM9のパターンとフォトマスク上のマークとを位置合わせすることによりフォトマスク上のパターンが転写されたレジスト膜を形成し、コンタクトホールC1を形成する。その結果、アライメントマークM9、MM1等をスクライブ領域に形成する必要がなく、チップ領域を大きく確保することができる。



【特許請求の範囲】

【請求項1】 (a) スクライブ領域により略区形状に区画されたチップ領域を複数有する半導体ウエハ上に、第1の膜を形成する工程と、

(b) 前記第1の膜のパターニング工程であって、前記チップ領域内であって、前記チップ領域の外周部に第1のパターンを形成し、前記第1のパターン形成位置より内部に第2のパターンを形成する工程と、

(c) 前記第1および第2のパターンの上部に、第2の膜を形成する工程と、

(d) 前記第2の膜上に、前記第1のパターンとフォトマスク上のマークとを位置合わせすることによりフォトマスク上のパターンが転写されたレジスト膜を形成する工程と、

(e) 前記レジスト膜をマスクに前記第2の膜をパターニングする工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記半導体集積回路装置の製造方法はさらに、

(f) 前記チップ領域の外周部の上方まで延在する配線を形成し、前記配線のうち前記チップ領域の外周部に位置する部分の表面を露出させる工程、を有することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】 (a) 個片化された半導体基板上であって、前記半導体基板の外周部に形成された第1の膜よりなる第1のパターンと、

(b) 前記第1のパターン形成位置より内部に位置し、前記第1の膜よりなる第2のパターンと、を有し、

(c) 前記第1のパターンは、露光装置の位置合わせ用パターンであることを特徴とする半導体集積回路装置。

【請求項4】 個片化された半導体基板上であって、前記半導体基板の外周部に、露光装置の位置合わせ用パターンを有することを特徴とする半導体集積回路装置。

【請求項5】 半導体チップ上に形成された複数の配線のうち、最上層の配線の表面の一部であって、外部引き出し部となるパッド部の下方に露光装置の位置合わせ用パターンを有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、フォトマスクと半導体ウエハとの位置合わせに適用して有効な技術に関する。

【0002】

【従来の技術】 半導体集積回路を構成する素子や配線等は、半導体ウエハ上のチップ領域に形成され、集積回路形成後、この半導体ウエハは、チップ領域を区画するス

クライブラインに沿って切断することにより個片化される。

【0003】

【発明が解決しようとする課題】 一方、一枚の半導体ウエハからできるだけ多くの半導体チップを採取することにより、製品コストの低減や歩留まりの向上を図ることができる。

【0004】 しかしながら、前述のスクライブライン上には、フォトリソグラフィ工程で用いる露光装置の位置合わせを行うためのアライメントマーク（ターゲット）が形成されている（例えば、特開平11-297617号公報参照）ため、ある程度の幅が必要であり、チップ領域を制限していた。

【0005】 本発明の目的は、半導体ウエハ内のチップ領域を増加させることができる技術を提供することにある。

【0006】 また、本発明の他の目的は、半導体ウエハからできるだけ多くの半導体チップを採取することにある。

【0007】 本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明かになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】 (1) 本発明の半導体集積回路装置の製造方法は、チップ領域内であって、前記チップ領域の外周部に第1のパターンを形成し、前記第1のパターン形成位置より内部に第2のパターンを形成した後、前記第1および第2のパターンの上部の第2の膜上に、前記第1のパターンとフォトマスク上のマークとを位置合わせすることによりフォトマスク上のパターンが転写されたレジスト膜を形成し、前記第2の膜をパターニングする工程を有する。

【0010】 (2) 本発明の半導体集積回路装置は、個片化された半導体基板上であって、前記半導体基板の外周部に形成された露光装置の位置合わせ用パターンを有する。

【0011】

【発明の実施の形態】 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0012】 まず、本発明の実施の形態である半導体集積回路装置の製造方法について説明する。

【0013】 図1は、半導体集積回路が形成される半導体ウエハWの平面図であり、図示するように、半導体ウエハW上には、チップ領域CAとスクライブ領域SA（幅20μm程度）とが存在する。チップ領域CAには、半導体集積回路を構成するMISFET（Metal Insulato

r Semiconductor Field Effect Transistor) のような半導体素子や配線が形成され、集積回路形成後に、スクライプ領域SAに沿って切断(ダイシング)することにより複数の半導体チップCが形成される。

【0014】以下、本発明の実施の形態である半導体集積回路装置の製造方法について、チップ領域CAに、nチャネル型MISFETQnおよびpチャネル型MISFETQpを形成する場合を例に説明する。図2～図11は、MISFETQn、Qpを有する半導体集積回路装置の製造方法の一例を示した基板の要部断面図もしくは要部平面図である。このうち断面図において図中の左側は、半導体ウエハWのスクライプ領域SA近傍を示し、右側は、チップ領域CAを示す。

【0015】まず、図2に示すように、p型の単結晶シリコンからなる半導体基板1(半導体ウエハW)に素子分離2を形成する。素子分離2を形成するには、半導体基板1をエッチングすることにより素子分離溝を形成し、基板1を熱酸化することによって、溝の内壁に薄い酸化シリコン膜を形成する。次に、溝の内部を含む基板1上にCVD(Chemical Vapor deposition)法で酸化シリコン膜7を堆積し、化学的機械研磨(CMP; Chemical Mechanical Polishing)法で溝の上部の酸化シリコン膜7を研磨し、その表面を平坦化する。

【0016】次に、基板1にp型不純物およびn型不純物をイオン打ち込みし、熱処理により不純物を拡散させることによって、p型ウエル3およびn型ウエル4を形成した後、熱酸化によりp型ウエル3およびn型ウエル4のそれぞれの表面に清浄なゲート酸化膜8を形成する。

【0017】次に、図3に示すように、ゲート酸化膜8の上部にリンをドーブした低抵抗多結晶シリコン膜をCVD法で堆積し、続いてその上部にスパッタリング法で薄いWN膜とW膜とを堆積し、さらにその上部にCVD法で窒化シリコン膜10を堆積する。

【0018】次に、窒化シリコン膜10をドライエッチングすることにより、ゲート電極を形成する領域およびチップ領域CA内であって、このチップ領域CAの外周部GAに窒化シリコン膜10を残し、窒化シリコン膜10をマスクにしてW膜、WN膜および多結晶シリコン膜をドライエッチングすることにより、これらの膜からなるゲート電極9およびアライメントマークM9を形成する。ここで、チップ領域CAの外周部GAとは、後述するパッド部Pが形成される領域(P)であり、ボンディング時の応力の影響等を避けるため、かかる領域には、半導体素子や配線を極力配置しないよう設計する。従って、かかる領域GAには、空き領域が多く、ここにアライメントマークM9を形成することによって、スクライプ領域を狭くすることができる。図4は、パッド部PとアライメントマークM9との位置関係を示すチップ領域CA近傍の平面図である。図4に示すように、アライメ

ントマークの形状は、四角形状や十字形状等、種々の形状が考え得る。なお、アライメントマークM9は、パッド部P直下に限られず、外周部GA、例えば、チップ端部から100 μ m程度の幅の領域内であれば、他の位置に形成してもよい。

【0019】次に、ゲート電極9の両側のp型ウエル3にn型不純物をイオン打ち込みすることによってn型半導体領域11を形成し、n型ウエル4にp型不純物をイオン打ち込みすることによってp型半導体領域12を形成する。

【0020】次に、図5に示すように、基板1上にCVD法で窒化シリコン膜を堆積した後、異方的にエッチングすることによって、ゲート電極9の側壁にサイドウォールスペーサ13を形成する。この際、アライメントマークM9の側壁にもサイドウォールスペーサ13が残存する。

【0021】次に、p型ウエル3にn型不純物をイオン打ち込みすることによってn型半導体領域14(ソース、ドレイン)を形成し、n型ウエル4にp型不純物をイオン打ち込みすることによってp型半導体領域15(ソース、ドレイン)を形成する。

【0022】ここまでの工程で、LDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFETQnおよびpチャネル型MISFETQpが形成される。

【0023】この後、図6に示すようにMISFETQnおよびQp上にCVD法で膜厚700nm～800nm程度の酸化シリコン膜を堆積した後、酸化シリコン膜をCMP法で研磨してその表面を平坦化することによって層間絶縁膜TH1を形成する。

【0024】次に、層間絶縁膜TH1上にフォトレジスト膜Rを形成し、フォトマスク上に形成されたマスクパターンを転写(露光・現像)する。この際、フォトマスク上に形成されたマスクアライメントマークと、前述のアライメントマークM9とを位置合わせすることにより、n型半導体領域14やp型半導体領域15(ソース、ドレイン)上に、コンタクトホールパターンを重ね合わせることができる。次いで、フォトレジスト膜Rをマスクに層間絶縁膜TH1をエッチングすることにより半導体基板1主面のn型半導体領域14およびp型半導体領域15上にコンタクトホールC1を形成する。

【0025】次いで、フォトレジスト膜Rを除去し、図7に示すようにコンタクトホールC1内を含む層間絶縁膜TH1上に、CVD法によりタングステン膜を堆積し、このタングステン膜を層間絶縁膜TH1が露出するまでCMP法により研磨することによってコンタクトホールC1内にプラグP1を形成する。

【0026】次いで、層間絶縁膜TH1およびプラグP1上にスパッタ法により窒化チタン膜(図示せず)、アルミニウム膜および窒化チタン膜(図示せず)を順次堆

積し、所望の形状にパターニングすることにより、第1層配線M1を形成する。この第1層配線M1のパターニングの際にも、前述のアライメントマークM9をフォトマスクとの位置合わせに用いてもよい。このように、1つのアライメントマークを複数のパターン（コンタクトホールパターンや配線パターン）の形成に用いることができる。但し、パターニング対象の膜に対して、あまり下層のアライメントマークを用いると、マークのぼけや歪みが生じ、合わせ制度が悪くなるため、適宜アライメントマークを形成する必要がある。

【0027】例えば、前述の第1層配線M1形成時に、アライメントマークM9上部に、窒化チタン膜（図示せず）、アルミニウム膜および窒化チタン膜（図示せず）からなるアライメントマークMM1を形成しておく（図7参照）。

【0028】次いで、図8に示すように、第1層配線M1上に前記層間絶縁膜TH1と同様に層間絶縁膜TH2を形成する。その後、層間絶縁膜TH2中にコンタクトホールC2を形成し、このコンタクトホールC2内にプラグP2を形成する。このコンタクトホールC2およびプラグP2は、コンタクトホールC1およびプラグP1と同様に形成する。即ち、アライメントマークMM1を位置合わせに用いて、層間絶縁膜TH2中にコンタクトホールC2を形成し、コンタクトホールC2内にタングステン膜を埋め込むことによりプラグP2を形成する。

【0029】さらに、層間絶縁膜TH2およびプラグP2上に第1層配線M1と同様に、第2層配線M2を形成する。この第2層配線M2のパターニングの際にも、前述のアライメントマークMM1を位置合わせに用いてもよい。また、この際、アライメントマークMM2を形成し（図8参照）、以降のコンタクトホールC3や第3層配線M3のパターニングの際の位置合わせに用いてもよい。

【0030】次いで、図9に示すように、第2層配線M2上に、前記層間絶縁膜TH1と同様に層間絶縁膜TH3を形成し、その後、層間絶縁膜TH2中にコンタクトホールC3およびプラグP3を形成する。このコンタクトホールC3およびプラグP3は、コンタクトホールC1およびプラグP1と同様に形成する。

【0031】次いで、層間絶縁膜TH3およびプラグP3上に第1層配線M1と同様に、第3層配線M3を形成する。この第3層配線M3のパターニングの際にも、前述のアライメントマークMM2を位置合わせに用いてもよい。この第3層配線M3は、最上層配線であり、前述のチップ領域CAの外周部GAまで延在している。

【0032】次いで、図10に示すように、第3層配線M3上に、窒化シリコン膜等からなるパッシベーション膜PVを形成する。

【0033】さらに、第3層配線M3上であって、外周部GAに位置するパッシベーション膜PVを選択的に除

去することによりコンタクトホールC4を形成する。このコンタクトホールC4の底部には、最上層配線の表面（パッド部P）が露出している。

【0034】次いで、コンタクトホールC4内を含む、パッド部P上に、Au（金）等よりなる下地金属層27を形成する。この下地金属層27は、半田ぬれ（後述する半田ペーストの密着性）を良くするために形成する。

【0035】次いで、下地金属層27上およびその近傍のパッシベーション膜PV上に、Sn（錫）とPb（鉛）の合金からなる半田ペーストを、スクリーン印刷等により形成し、熱処理を施すことによりバンプ電極28を形成する。

【0036】次いで、図1および図3に示したウエハWのスクライプ領域SAをダイシングすることにより、個々のチップ領域CA毎に切断し、複数のチップC形成する。

【0037】このように、本実施の形態によれば、コンタクトホールや配線のパターニングの際に用いるアライメントマークを、チップ領域CAの外周部GAに形成したので、スクライプ領域SA上にアライメントマークを形成する必要がなくなり、スクライプ領域SAを小さく、例えば、幅20μm程度にすることができる。

【0038】即ち、図11に示すように、スクライプ領域SAにアライメントマークMを形成するには、アライメントマークMの大きさよりスクライプ領域SAの幅を大きくする必要がある。アライメントマークMの大きさにもよるが、通常90μm程度の幅が必要である。

【0039】これに対し、本実施の形態においてはチップ領域CAを大きく確保でき、一枚のウエハから得られる半導体チップ数を多くすることができる。また、製品歩留まりを大きくすることができる。

【0040】また、本実施の形態によれば、スクライプ領域SAに、アライメントマークを設ける必要がないため、スクライプ領域SA上には、酸化シリコン膜等の絶縁膜のみを残存させることができ、ダイシング時の応力を緩和することができる。その結果、ダイシング時に生じ得るクラックの発生を低減することができる。

【0041】即ち、前述の場合、多結晶シリコン膜やアルミニウム膜等の金属膜を用いてアライメントマーク（M9、MM1等）が形成されるため、図12に示すように、スクライプ領域SAにアライメントマーク（M9、MM1等）を形成すると、酸化シリコン膜等の絶縁膜中に、絶縁膜と固さの異なる金属膜等が残存する。その結果、ダイシング時に、種々の膜を切断しなければならないため、クラックが生じ易い。

【0042】これに対し、本実施の形態においては、酸化シリコン膜等の絶縁膜のみを残存させることができるため、クラックの発生を低減することができる。

【0043】この後、このチップCを例えば、リードフレーム上や実装基板上に実装する。図13は、リードフ

レーム30上に実装した場合の図であり、また、図14は、実装基板41上に実装した場合の図である。以下、これらの実装方法について、簡単に説明する。

【0044】このリードフレーム30には、チップが搭載されるタブ部32と、その周辺に配置されているリード部33とを有し、このリード部33は、外枠部と接続され、また、タブ部32と外枠部とは、タブ吊りリードを介して接続されている。このリードフレーム30のタブ部32上に、銀ペースト等のダイボンダ材を形成し、その上部に半導体チップCを搭載することにより、半導体チップCをタブ部32上に固定する。

【0045】その後、半導体チップC表面のバンパ電極（図示せず）と、リードフレーム30のリード部33とを金線等の導電性ワイヤ37を用いて接続する。

【0046】次いで、モールド金型等を用いて半導体チップCの周辺を封止樹脂38で覆い、タブ吊りリード部および複数のリード部33の端部を切断し、封止樹脂38から突出したリード部33を所望の形状、例えばJ型に整形する。

【0047】図14に示す実装基板41には、あらかじめ配線42が印刷されており、この配線42の一部と半導体チップCのバンパ電極28が当接するよう、位置合わせする。次いで、バンパ電極28を加熱リフローすることにより、チップCと実装基板41とを接着する。なお、前記配線42は、例えばCu配線であり、また、この配線42の周囲には、ソルダーレジスト43が形成されている。

【0048】なお、前述の場合においては、最上層配線M3上にバンパ電極を形成したが、最上層配線M3の表面（パッド部P）上に、再配置配線22を形成し、この再配置配線22上にバンパ電極を形成してもよい。

【0049】例えば、図15に示すように、最上層配線M3の表面（パッド部P）上を含むバッシベーション膜PV1に、例えば、メッキ法によりCu（銅）膜よりなる再配置配線22を形成し、パッド部P上からチップ領域CAの内部上まで延在するようパターンニングする。この再配置配線22およびバッシベーション膜PV1上に、感光性ポリイミド膜等よりなるバッシベーション膜PV2を形成し、再配置配線22上に、コンタクトホール（開口部）C5を形成する。このコンタクトホールC5の底部には、再配置配線22の表面の一部（パッド部26）が露出している。

【0050】次いで、パッド部26上に、Au（金）等よりなる下地金属層27を形成し、Sn（錫）とPb（鉛）の合金からなる半田ペーストを、スクリーン印刷により形成し、熱処理することにより、バンパ電極28を形成する。このように、パッド部Pを再配置配線22によってチップ領域CAの内部上まで引き出すことによって、バンパ電極28の形成領域やバンパ電極間を大きく確保することができ、ショートを防止できる。

【0051】また、本実施の形態においては、アライメントマークを多結晶シリコン膜やアルミニウム膜等の金属膜により形成したが、酸化シリコン膜等の絶縁膜により形成してもよい。また、マーク形状は、凸部形状のみならず凹部形状としてもよい。また、アライメントマークM9より下層にアライメントマークを形成してもよく、また、3層以上の配線を形成してもよい。

【0052】また、本実施の形態においては、半導体素子としてMISFETQnおよびQpを形成したが、これらMISFETに限られず、種々の半導体素子を形成することができる。

【0053】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0055】チップ領域内であって、チップ領域の外周部に第1のパターンを形成し、第1のパターン形成位置より内部に第2のパターンを形成した後、第1および第2のパターンの上部の第2の膜上に、第1のパターンとフォトリソ上のマークとを位置合わせすることによりフォトリソ上のパターンが転写されたレジスト膜を形成し、第2の膜をパターンニングしたので、アライメントマークとなる第1のパターンをスクライブ領域に形成する必要がなく、チップ領域を大きく確保することができる。また、一枚のウエハから得られる半導体チップ数を多くすることができる。また、製品歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態である半導体集積回路装置が形成される半導体ウエハの平面図である。

【図2】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図3】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図4】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図5】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図6】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図7】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図8】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図9】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図10】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図11】本発明の実施の形態の効果の説明するための平面図である。

【図12】本発明の実施の形態の効果の説明するための断面図である。

【図13】本発明の実施の形態である半導体集積回路装置の実装方法を示す基板の要部断面図である。

【図14】本発明の実施の形態である半導体集積回路装置の実装方法を示す基板の要部断面図である。

【図15】本発明の実施の形態である半導体集積回路装置の製造方法を示す基板の要部断面図である。

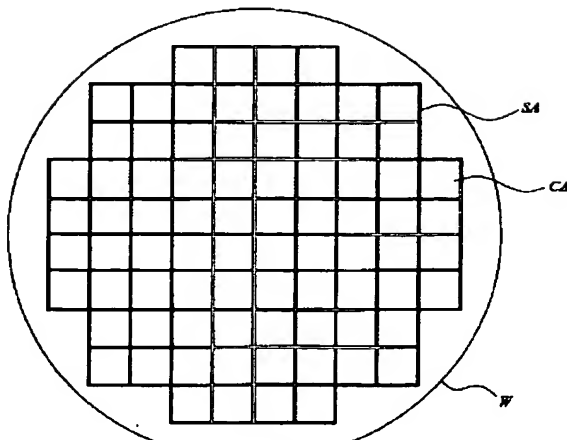
【符号の説明】

- 1 半導体基板
- 2 素子分離
- 3 p型ウエル
- 4 n型ウエル
- 7 酸化シリコン膜
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 窒化シリコン膜
- 11 n⁻型半導体領域
- 12 p⁻型半導体領域
- 13 サイドウォールスペーサ
- 14 n⁺型半導体領域
- 15 p⁺型半導体領域
- 22 再配置配線
- 26 パッド部
- 27 下地金属層
- 28 バンプ電極

- 30 リードフレーム
- 32 タブ部
- 33 リード部
- 37 導電性ワイヤ
- 38 封止樹脂
- 41 実装基板
- 42 配線
- 43 ソルダーレジスト
- C 半導体チップ
- C1～C5 コンタクトホール
- CA チップ領域
- GA チップ領域の外周部
- M アライメントマーク
- M1 第1層配線
- M2 第2層配線
- M3 第3層配線（最上層配線）
- M9 アライメントマーク
- MM1 アライメントマーク
- MM2 アライメントマーク
- P パッド部
- P1～P3 プラグ
- PV パッシベーション膜
- PV1 パッシベーション膜
- PV2 パッシベーション膜
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- R フォトリソグ膜
- SA スクライブ領域
- TH1～TH3 層間絶縁膜
- W 半導体ウエハ

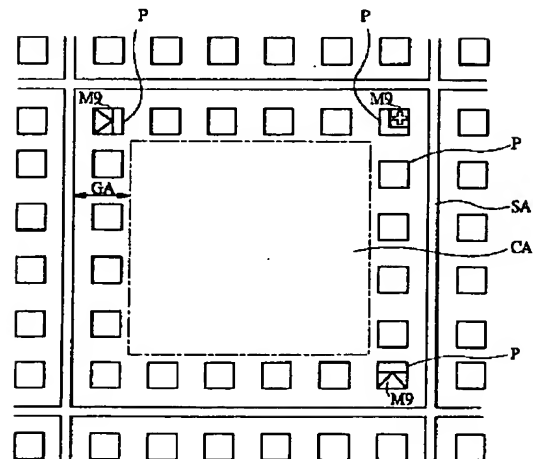
【図1】

図 1



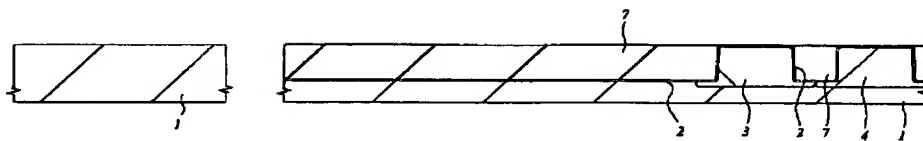
【図4】

図 4



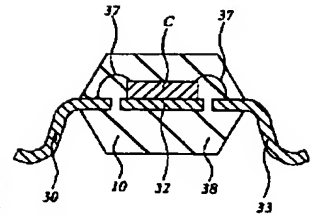
【図2】

図 2



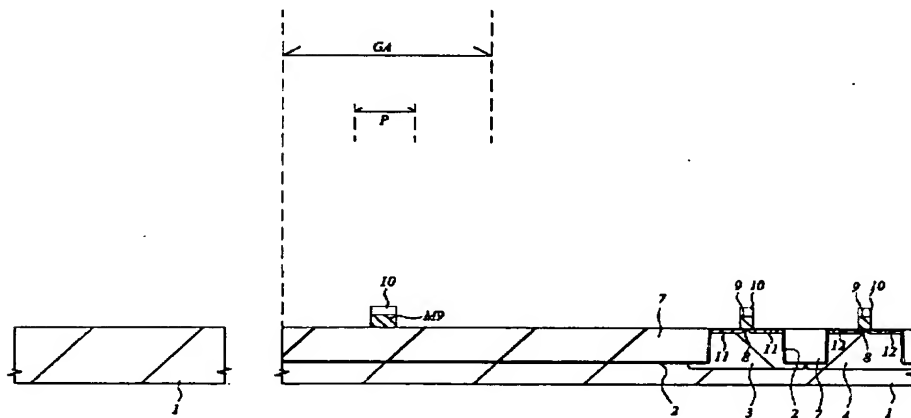
【図13】

図 13



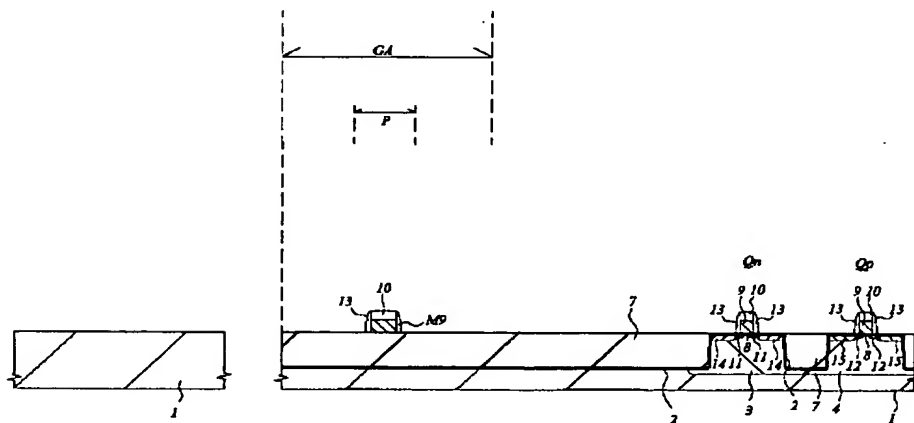
【図3】

図 3



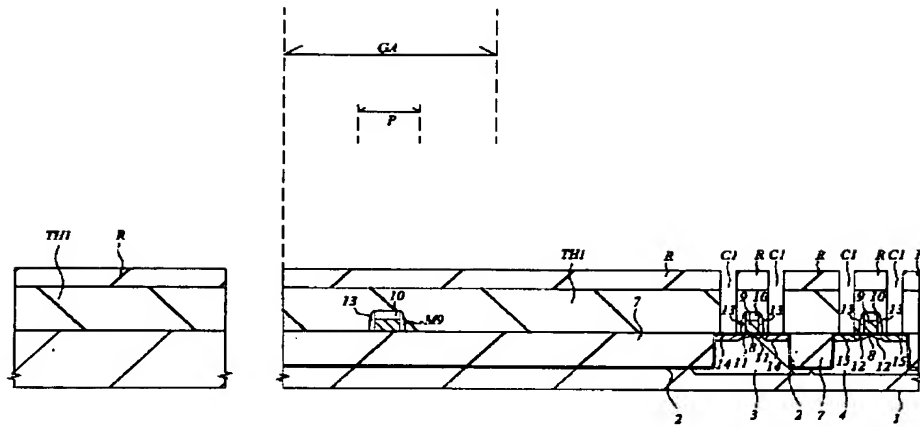
【図5】

図 5



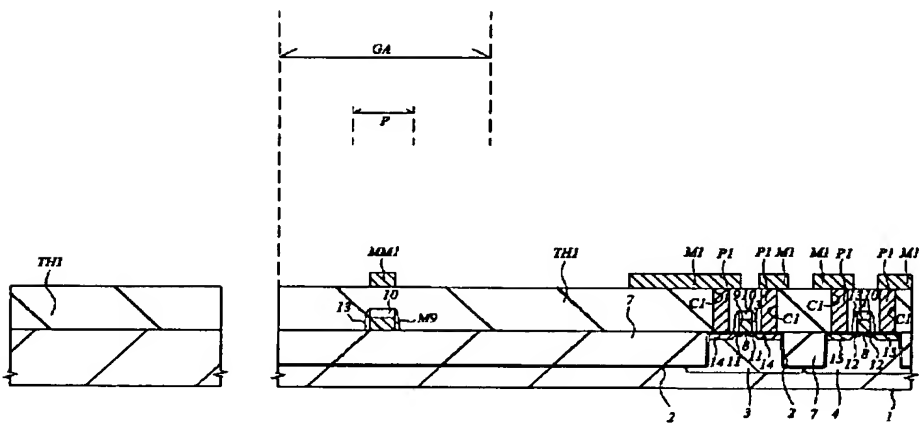
【図6】

図 6



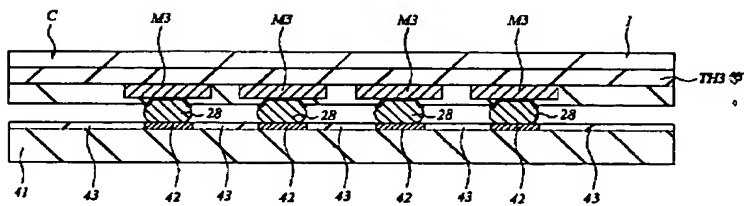
【図7】

図 7



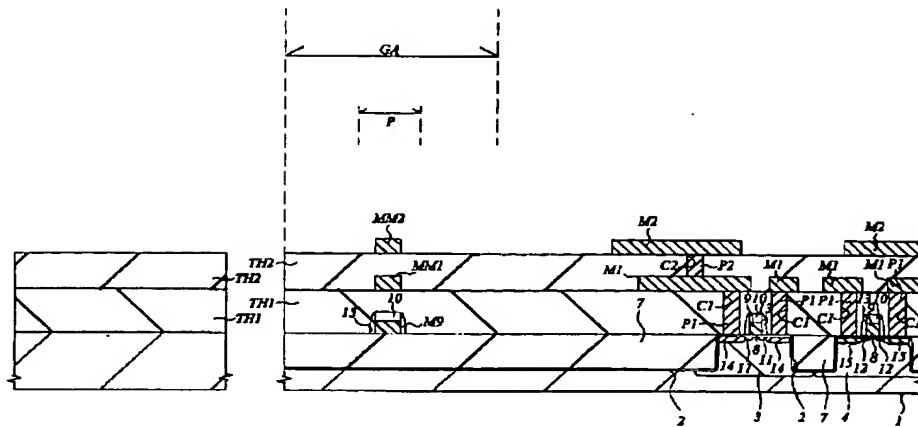
【図14】

図 14



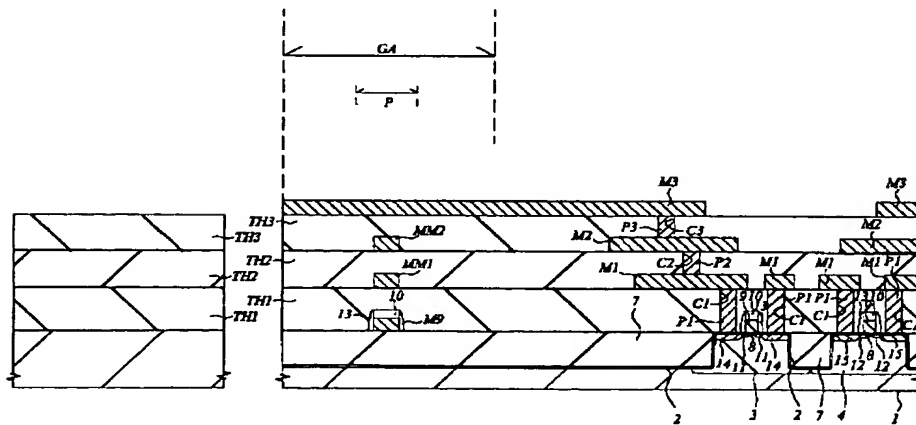
【図8】

図 8



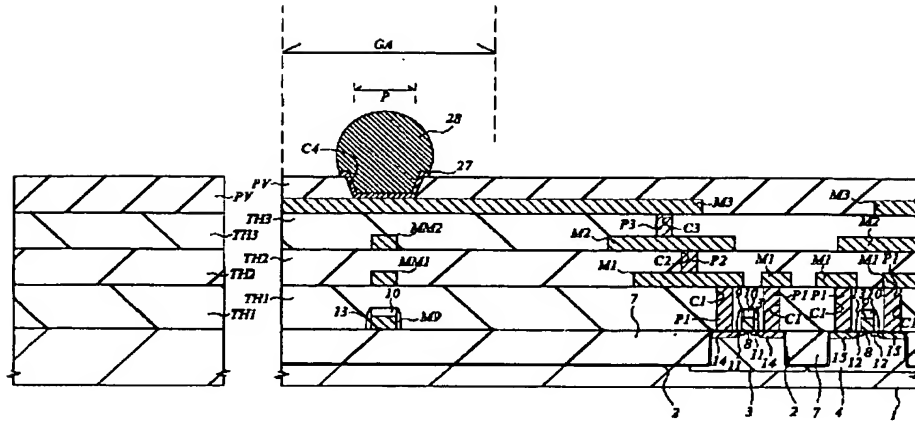
【図9】

図 9



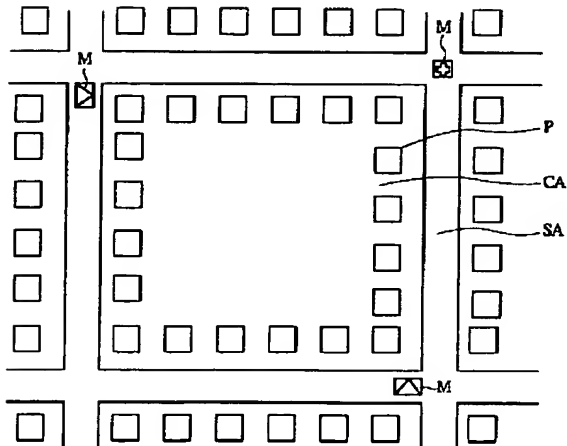
【圖10】

圖 10



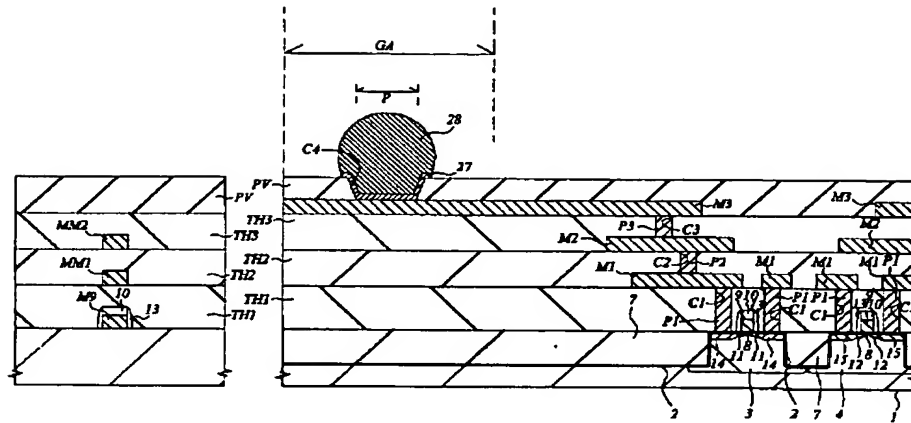
【圖11】

圖 11



【図12】

図 12



【図15】

図 15

